

## Đề cương chi tiết môn học

1. **Tên môn học:** Thực tập thiết kế vi mạch số với HDL      **Mã môn học:** PRDS320663

2. **Tên Tiếng Anh:** Digital IC Design Laboratory using HDL

3. **Số tín chỉ:** 2 tín chỉ (0/6/12) (0 tín chỉ lý thuyết, 2 tín chỉ thực hành/thí nghiệm)

Phân bố thời gian: 15 tuần (0 tiết lý thuyết + 6 tiết thực hành + 12 tiết tự học/ tuần)

4. **Các giảng viên phụ trách môn học:**

1. GVC.ThS. Nguyễn Đình Phú
2. ThS. Nguyễn Bạch Long
3. ThS. Nguyễn Tấn Như
4. ThS. Đỗ Duy Tân
- 5 ThS. Trương Thị Bích Nga

5. **Điều kiện tham gia học tập môn học**

Môn học tiên quyết: Thiết kế vi mạch với HDL, Kỹ thuật số.

Môn học trước: Thiết kế vi mạch với HDL, Kỹ thuật số.

6. **Mô tả môn học (Course Description)**

Môn học này hướng dẫn cho sinh viên quá trình thiết kế mạch tổ hợp và mạch tuần tự sử dụng VHDL. Đầu tiên, hệ thống vi mạch được mô tả bằng VHDL sử dụng phần mềm thiết kế vi mạch được tài trợ bởi Xilinx và Altera. Cuối cùng, mạch mô tả sẽ được kiểm tra chức năng thông qua phần mềm mô phỏng trước khi được nạp chạy thực tế trên kit FPGA.

7. **Mục tiêu môn học (Course Goals)**

Mục tiêu (Goals)	Mô tả (Goal description) (Môn học này trang bị cho sinh viên)	Chuẩn đầu ra CTĐT	Trình độ năng lực
<b>G1</b>	Kiến thức cơ bản và kỹ thuật thiết kế vi mạch số.	1.2	1
		1.2	1
<b>G2</b>	Khả năng phân tích, vẽ sơ đồ khối, lập trình thiết kế các vi mạch số. Khả năng sử dụng những công cụ kỹ thuật hiện đại để thực hiện những bài thực hành thiết kế vi mạch số.	2.1	2
		2.4	4
<b>G3</b>	Kỹ năng làm việc nhóm, khả năng đọc hiểu các tài liệu kỹ thuật bằng tiếng anh trong lĩnh vực số.	3.1	3
		3.2	3
		3.3	3
<b>G4</b>	Khả năng tính toán thiết kế các vi mạch số.	4.4	3

## 8. Chuẩn đầu ra của môn học

Chuẩn đầu ra MH		Mô tả (Sau khi học xong môn học này, người học có thể)	Chuẩn đầu ra CDIO	Trình độ năng lực
G1	G1.1	Sử dụng được bộ thí nghiệm FPGA, phần mềm lập trình để thiết kế vi mạch số và kiểm tra thiết kế trên kit FPGA.	1.2.1	1
	G1.2	Biết được quy trình thiết kế vi mạch bằng ngôn ngữ VHDL.	1.2.1	1
G2	G2.1	Có khả năng ứng dụng được từng loại mạch số và thiết kế mạch số theo các mô hình khác nhau sử dụng VHDL. Thiết kế các mạch tổ hợp. Có khả năng tính toán thiết kế mạch chia tần số. Thiết kế các mạch tuần tự.	2.1.3	2
	G2.2	Có khả năng sử dụng phần mềm EDA để thiết kế vi mạch số. Có khả năng sử dụng phần mềm mô phỏng hệ thống vi mạch số.	2.4.3	4
G3	G3.1	Làm việc trong các nhóm để thảo luận và giải quyết các vấn đề liên quan đến mạch điện tử số.	3.1.2 3.2.6	3 3
	G3.2	Có khả năng đọc hiểu các datasheets của những IC đã có trên thị trường.	3.3.1	3
G4	G4.1	Có khả năng thiết kế mạch đếm các loại với nhiều chức năng hiển thị trên LED đơn, LED 7 đoạn, và LCD.	4.4.1	3
			4.4.3	3
			4.4.4	3
	G4.2	Có khả năng thiết kế mạch đo nhiệt độ, giao tiếp bộ nhớ SRAM, hiển thị trên LCD.	4.4.1	3
			4.4.3	3
			4.4.4	3
G4.3	Có khả năng thiết kế mạch giao tiếp truyền dữ liệu UART với máy tính, giao tiếp mở rộng port, IC thời gian thực theo chuẩn I2C.	4.4.1	3	
		4.4.3 4.4.4	3 3	

## 9. Đạo đức khoa học:

Các bài tập ở nhà và dự án phải được thực hiện từ chính bản thân sinh viên. Nếu bị phát hiện có sao chép thì xử lý các sinh viên có liên quan bằng hình thức đánh giá 0 (không) điểm quá trình và cuối kỳ.

## 10. Nội dung chi tiết môn học:

Tuần	Nội dung	Chuẩn đầu ra môn học	Trình độ năng lực	Phương pháp dạy học	Phương pháp đánh giá
------	----------	----------------------	-------------------	---------------------	----------------------

	<b>Chương 1: HƯỚNG DẪN SỬ DỤNG KIT FPGA XILINX FPGA</b>				
1	<b>A/ Các nội dung GD trên lớp: (12)</b> 1.1 Giới thiệu bộ kit fpga - Xilinx. 1.2 Khảo sát các thành phần cơ bản của kit.	G1.1	1	Trải nghiệm	Trắc nghiệm
	<b>B/ Các nội dung cần tự học ở nhà: (24)</b> + Khảo sát bộ KIT FPGA Altera. + Bài tập.	G1.1	4		
	<b>Chương 2: HƯỚNG DẪN SỬ DỤNG CHƯƠNG TRÌNH XILINX ISE DESIGN SUIT 14.7</b>				
1	<b>A/ Các nội dung GD trên lớp: (12 )</b> 2.1 Khởi động xilinx ise design suite. 2.2 Soạn thảo chương trình ise webpack. 2.3 Tổng hợp chương trình. 2.4 Gán các port cho các chân của thiết bị lập trình. 2.5 Cách thức nạp chương trình vào thiết bị lập trình.	G1.2 G2.1 G2.2	1 2 4	Trải nghiệm	Trắc nghiệm
	<b>B/ Các nội dung cần tự học ở nhà: (24)</b> + Tham khảo cách sử dụng phần mềm Quartus của Altera. + Chuẩn bị bài.	G1.2	1		
	<b>Chương 3: THIẾT KẾ MẠCH TỔ HỢP)</b>				
1, 2, 3	<b>A/ Các nội dung GD trên lớp: (12)</b> 3.1 Giới thiệu. 3.2 Mạch giải mã. 3.3 Mạch mã hoá. 3.4 Mạch đa hợp. 3.5 Mạch giải đa hợp. 3.6 Mạch giải mã led 7 đoạn. 3.7 Mạch cộng số nhị phân. 3.8 Mạch chuyển đổi số nhị phân thành số bcd.	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2	1 1 2 4 3 3	Trải nghiệm	Trắc nghiệm
	<b>B/ Các nội dung cần tự học ở nhà: (24)</b> + Mô phỏng dạng sóng của những mạch được học trên lớp. + Bài tập.	G3.2	3		
	<b>Chương 4: THIẾT KẾ MẠCH TUẦN TỰ 1: CHIA XUNG, ĐẾM NHỊ PHÂN, MÔ HÌNH TRẠNG THÁI MÁY</b>				
5-8	<b>A/ Các nội dung GD trên lớp: (12)</b> 4.1 Giới thiệu. 4.2 Mạch đồng bộ thông thường.	G1.1 G1.2 G2.1	1 1 2	Trải nghiệm	Trắc nghiệm,

	<p>4.3 Chia tần số.</p> <p>4.4 Mạch tạo tín hiệu cho phép.</p> <p>4.5 Đếm nhị phân hiển thị led đơn, đếm lên, đếm xuống.</p> <p>4.6 Mạch đồng bộ ngẫu nhiên.</p> <p>4.7 Chồng đội phím nhấn, switch gạt.</p> <p>4.8 Các chương trình đếm vòng, đếm johnson.</p> <p>4.9 Thiết kế chương trình theo sơ đồ khối.</p>	G2.2 G3.1 G3.2	4 3 3		Thi thực nghiệm cá nhân, thi theo nhóm
	<p><b>B/ Các nội dung cần tự học ở nhà: (24)</b></p> <p>+ Thiết kế mạch đếm có mode được điều chỉnh bằng nút nhấn</p> <p>+ Bài tập.</p>	G3.3	3		
	<p><b>Chương 5: THIẾT KẾ MẠCH TUẦN TỰ 2: ĐẾM HIỂN THỊ TRÊN LED 7 ĐOẠN</b></p>				
9, 10	<p><b>A/ Các nội dung GD trên lớp: (12 )</b></p> <p>5.1 Giới thiệu.</p> <p>5.2 Mạch đếm hiển thị trên led 7 đoạn quét – cách 1.</p> <p>5.3 Mạch đếm hiển thị trên led 7 đoạn quét – cách 2.</p> <p>5.4 Mạch đếm nhị phân.</p> <p>5.5 Mạch ứng dụng – đồng hồ số.</p> <p>5.6 Mạch đọc nhiệt độ từ cảm biến 1 dây ds18b20.</p>	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.1	1 1 2 4 3 3 3	Trải nghiệm	Trắc nghiệm, Thi thực nghiệm cá nhân, thi theo nhóm
	<p><b>B/ Các nội dung cần tự học ở nhà: (24)</b></p> <p>+ Thiết kế mạch luân phiên hiển thị đồng hồ và nhiệt độ.</p> <p>+ Bài tập.</p>	G4.1	3		
	<p><b>Chương 6: THIẾT KẾ MẠCH ĐIỀU KHIỂN LCD</b></p>				
11, 12	<p><b>A/ Các nội dung GD trên lớp: (12 )</b></p> <p>6.1 Lý thuyết LCD.</p> <p>6.2 Giao tiếp FPGA với LCD theo bus dữ liệu 8 bit.</p> <p>6.3 Chương trình hiển thị kí tự trên LCD theo bus 8 bit.</p> <p>6.4 Các chương trình đếm hiển thị trên LCD.</p> <p>6.5 Các chương trình đồng hồ hiển thị trên LCD.</p> <p>6.6 Chương trình hiển thị kí tự trên LCD dùng bus 4 bit.</p>	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.2	1 1 2 4 3 3 3	Trải nghiệm	Trắc nghiệm, Thi thực nghiệm cá nhân, thi theo nhóm
	<p><b>B/ Các nội dung cần tự học ở nhà: (24)</b></p> <p>+ Thiết kế mạch hiển thị nhiệt độ trên LCD.</p> <p>+ Bài tập.</p>	G4.2	3		

13, 14	<b>Chương 7: THIẾT KẾ MẠCH GIAO TIẾP BỘ NHỚ RAM</b>				
	<b>A/ Các nội dung GD trên lớp: (12)</b> 7.1 Giới thiệu. 7.2 Khảo sát bộ nhớ SRAM. 7.3 Bộ nhớ sram của kit FPGA. 7.4 Thiết kế bộ điều khiển ghi đọc bộ nhớ SRAM. 7.5 Các ứng dụng dùng SRAM.	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.2	1 1 2 4 3 3 3	Trải nghiệm	Trắc nghiệm, Thi thực nghiệm cá nhân, thi theo nhóm
	<b>B/ Các nội dung cần tự học ở nhà: (24)</b> + Thiết kế mạch đọc nhiệt độ lưu vào bộ nhớ RAM. + Bài tập.	G4.2	3		
15	<b>Chương 8: THIẾT KẾ MẠCH TRUYỀN DỮ LIỆU</b>				
	<b>A/ Các nội dung GD trên lớp: (6)</b> 8.1 Giới thiệu. 8.2 Thiết kế bộ nhận uart. 8.3 Thiết kế bộ phát uart. 8.4 Thiết kế hệ thống uart hoàn chỉnh. 8.5 Các chương trình truyền dữ liệu fpga với pc qua uart. 8.6 Các chương trình truyền dữ liệu fpga với thiết bị qua I2C.	G1.1 G1.2 G2.1 G2.2 G3.1 G3.2 G4.3	1 1 2 4 3 3 3	Trải nghiệm	Trắc nghiệm, Thi thực nghiệm cá nhân, thi theo nhóm
	<b>B/ Các nội dung cần tự học ở nhà: (12)</b> + Thiết kế mạch đọc nhiệt độ truyền lên máy tính. + Bài tập.	G3.2	3		

## 11. Đánh giá kết quả học tập:

- Thang điểm: **10**
- Kế hoạch kiểm tra như sau:

Hình thức KT	Nội dung	Thời điểm	Chuẩn đầu ra đánh giá	Trình độ năng lực	Phương pháp đánh giá	Công cụ đánh giá	Tỉ lệ (%)
<b>Bài tập</b>							<b>20</b>
TN#1	Những kiến thức cơ bản về cách sử dụng phần mềm và cách sử dụng kit. Cấu trúc cơ bản của ngôn ngữ VHDL để thiết kế mạch tổ hợp.	Tuần 2	G1.1 G1.2 G2.1 G2.2	1 1 2 4	Trắc nghiệm	Bài kiểm tra online	5

TN#2	Các dạng mạch tổ hợp, thiết kế mạch tổ hợp	Tuần 6	G1.1 G1.2 G2.1 G2.2	1 1 2 4	Trắc nghiệm	Bài kiểm tra online	5
TN#3	Thiết kế mạch tuần tự cơ bản hiển thị LED đơn. Thiết kế mạch đếm hiển thị LED 7 đoạn.	Tuần 9	G4.1	3	Trắc nghiệm	Bài kiểm tra online	5
TN#4	Thiết kế mạch đếm hiển thị LCD.	Tuần 12	G4.2	3	Trắc nghiệm	Bài kiểm tra online	5
<b>Kiểm tra</b>							<b>80</b>
KT#1	Chương 3 và 4	Tuần 9	G2.1 G3.1 G3.2 G4.1	2 3 3 3	Thực hành	Thực hành	<b>20</b>
KT#2	Chương 5 và 6	Tuần 13	G2.2 G3.1 G3.2 G4.2	4 3 3 3	Thực hành	Thực hành	<b>30</b>
KT#3	Chương 7 và 8	Tuần 15	G2.2 G3.1 G3.2 G4.1 G4.2 G4.3	4 3 3 3 3 3	Thực hành	Thực hành	<b>30</b>

<b>CDR môn học</b>							
	TN#1	TN #2	TN #3	TN #4	KT #1	KT #2	KT #3
G1.1	x	x					
G1.2	x	x					
G2.1	x	x			x		
G2.2	x	x				x	x
G3.1					x	x	x
G3.2					x	x	x
G4.1			x		x	x	x
G4.2				x		x	x
G4.3							x

## 12. Tài liệu học tập

- Sách, giáo trình chính:

[1] Nguyễn Đình Phú, *Giáo trình thực hành thiết kế vi mạch số với VHDL*, ĐH Sư phạm Kỹ thuật TP.HCM, 2017.

- Sách (TLTK) tham khảo:

[1] Pong P. Chu, *FPGA prototyping by VHDL examples*, Wile-Interscience, 2008.

**13. Ngày phê duyệt lần đầu:**

**14. Cấp phê duyệt:**

**Trưởng khoa**

**Trưởng BM**

**Nhóm biên soạn**

**PGS. TS. Nguyễn Minh Tâm**

**PGS. TS. Nguyễn Thanh Hải**

**GVC.ThS. Nguyễn Đình Phú**

**15. Tiến trình cập nhật ĐCCT**

<b>Lần 1:</b> Nội dung cập nhật ĐCCT lần 1: ngày    tháng    năm	Người cập nhật ký và ghi rõ họ tên  Tổ trưởng Bộ môn:
--	---